

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 09044443  
PUBLICATION DATE : 14-02-97

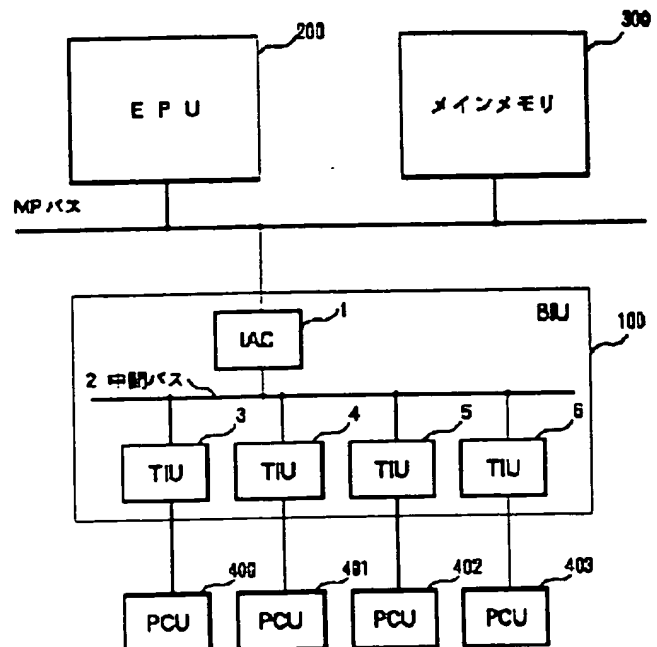
APPLICATION DATE : 31-07-95  
APPLICATION NUMBER : 07195539

APPLICANT : NEC ENG LTD;

INVENTOR : YOSHIDA HIROKAZU;

INT.CL. : G06F 13/36

TITLE : BUS INTERFACE CONTROLLER



**ABSTRACT :** PROBLEM TO BE SOLVED: To suppress the overhead of a read transaction in a split system, to accelerate the speed of a data response and to improve the utilization efficiency of an intermediate bus.

**SOLUTION:** An IAC 1 for constituting this bus interface controller is provided with a read waiting buffer for checking the matching between the address of the read transaction and all the addresses inside a cache memory and storing the address of the read transaction to be split in case of a cache mishit and a circuit for generating a split ID for indicating that splitting is not performed. TIUs 3-6 are provided with the circuit for judging whether or not splitting is to be performed in case of the read transaction, a means for storing the split ID when the read transaction is split, the circuit for checking the matching of the stored split ID and the split ID received in a data response transaction and a control circuit for controlling the data response.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-44443

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 13/36

識別記号

3 1 0

庁内整理番号

9172-5E

F I

G 0 6 F 13/36

技術表示箇所

3 1 0 E

審査請求 未請求 請求項の数4・O L (全13頁)

(21) 出願番号 特願平7-195539

(22) 出願日 平成7年(1995)7月31日

(71) 出願人 000232047

日本電気エンジニアリング株式会社  
東京都港区芝浦三丁目18番21号

(72) 発明者 吉田 啓和

東京都港区芝浦三丁目18番21号 日本電気  
エンジニアリング株式会社内

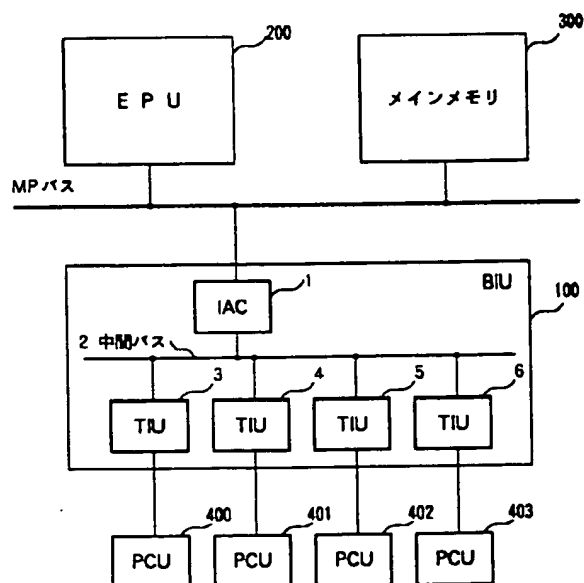
(74) 代理人 弁理士 鈴木 正剛

(54) 【発明の名称】 バスインタフェース制御装置

(57) 【要約】

【課題】 スプリット方式でのリードランザクションのオーバーヘッドを抑制し、データレスポンスの速度をあげ、中間バスの使用効率を向上させる。

【解決手段】 バスインタフェース制御装置を構成する I A C 1 に、リードランザクションのアドレスとキャッシュメモリ内の全アドレスとの一致チェックを行ってキャッシュミスヒット時にスプリットするリードランザクションのアドレスを格納するリード待ちバッファと、スプリットしないことを示すスプリット I D を生成する回路を設け、T I U 3 ~ 6 には、リードランザクション時にスプリットするかどうかを判定する回路と、リードランザクションがスプリットされたときにスプリット I D を格納する手段と、格納中のスプリット I D とデータレスポンスランザクションで受信したスプリット I D との一致チェックを行う回路と、データレスポンスの制御を行う制御回路とを備えた。



**【特許請求の範囲】**

**【請求項1】** キャッシュメモリを有するアドレスコントローラ（以下、IAC）と周辺制御装置とのインターフェイスであるインターフェイスユニット（以下、TIU）と、前記IACと前記TIUとをスプリット方式で接続するバスとを備えたバスインターフェイス制御装置において、

前記IACは、前記TIUがリードトランザクション要求を発行したときに、該要求データが前記IACのキャッシュメモリに存在するか否かを判定し、存在する場合はスプリットしないスプリットIDを前記TIUに発行し、存在しない場合は、スプリットするスプリットIDを前記TIUに発行する第1の手段を有することを特徴とするインターフェイス制御装置。

**【請求項2】** 前記TIUは、前記IACからのスプリットIDを受信したときは、該スプリットIDを判定し、スプリットしないスプリットIDであるときは前記バスを解放せずに後続のレスポンスデータを格納し、スプリットするスプリットIDであるときは前記バスを解放し、前記リードトランザクション要求を終了する第2の手段を有することを特徴とする請求項1記載のバスインターフェイス制御装置。

**【請求項3】** 前記第1の手段は、前記TIUからのリードトランザクション要求のアドレスと、前記キャッシュメモリに格納されているデータのアドレスとの一致チェックを行う第1のチェック回路と、

前記チェック結果に基づいて、スプリットするか否かのスプリットIDを選択し出力する選択回路と、を含んで成ることを特徴とする請求項2記載のバスインターフェイス制御装置。

**【請求項4】** 前記第2の手段は、前記選択回路で選択され出力されたスプリットIDを受信し、スプリットするか否かを判定する判定回路と、前記判定回路でスプリットすると判定した場合に、前記発行したリードトランザクション要求に対して出力されたスプリットIDを格納するスプリットテーブルと、前記スプリットテーブルに格納されているスプリットIDとデータレスポンストランザクションで受信したスプリットIDとの一致チェックを行う第2のチェック回路と、前記判定回路と第2のチェック回路の出力結果に基づいてデータレスポンスの制御を行う制御回路と、前記制御回路の指示に従いレスポンスされたデータを格納するバッファと、を含んで成ることを特徴とする請求項2記載のバスインターフェイス制御装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、スプリット方式を

採用するバスインターフェイス制御技術に属し、特に、リードトランザクション要求時の処理のオーバーヘッドを抑制するための技術に係る。

**【0002】**

**【従来の技術】** 図8は、キャッシュメモリを有するアドレスコントローラ（IAC）の一部であるDMAキャッシュヒットチェック制御部ブロック図、図9は、周辺制御装置とのインターフェイスであるインターフェイスユニット（TIU）の一部であるDMAキャッシュヒットチェック制御部のブロック図である。図10は、これらの動作タイミングを示すタイムチャートである。以下、各図を参照して、従来のバスインターフェイス制御装置について説明する。図8、図9に示されるようにIAC41、TIU43～46が中間バス42に接続されている構成において、例えばTIU43からIAC41に対してDMAリードトランザクションが発行された場合の動作は以下ようになる。

**【0003】** TIU43は、DMAリードトランザクション要求をレジスタ47（図9左上参照）に格納した後、これを中間バス42に出力する。IAC41は、中間バス42支配下のTIU43からのDMAリードリクエストと、他の中間バス42の利用エージェント（TIU44～46）からのリクエストとをレジスタ48（図8右下参照）に格納し、中間バス内部調停回路49で調停された内部要求と共に中間バス調停回路50で調停を行う（図8右参照）。また、調停の結果をレジスタ51に格納した後、中間バス42に出力する。

**【0004】** TIU43は、出力された調停結果をレジスタ52に格納する（図9参照）。調停の結果、TIU43のDMAリードリクエストが中間バス42を獲得した場合、TIU43は、レジスタ53に格納されているDMAリードトランザクションのアドレスを中間バス42に出力する（図9参照）。IAC41は、TIU43からのアドレスを受け取り、レジスタ54（図8右下参照）に格納する。そして、そのアドレスをDMA有効チェック回路55でチェックし、有効であれば、スプリットID生成回路59でスプリットIDを生成し、その出力を選択回路58で選択し、レジスタ60に格納する（図8参照）。IAC41は、レジスタ60内のスプリットIDを中間バス42へ出力する。TIU43は、レジスタ62にそのスプリットIDを取り込み、スプリットテーブル65に格納してDMAリードトランザクションを終了する（図9参照）。

**【0005】** IAC41は、また、レジスタ54に格納されているアドレスをキャッシュ部56内のアドレスと比較回路57で比較し、その一致チェックを行う。併せてリード待ちバッファ67内のアドレスとの比較を比較回路68で行う。そして、レジスタ54内のアドレスをリード待ちバッファ67に格納すると同時に、比較回路57における一致チェックで一致した場合は、リード待

ちバッファ67のレスポンス可能ビット(RESビット)をセットし、比較回路68における一致チェックで一致した場合は、リード待ちバッファ67のヒットビット(HITビット)をセットする(図8参照)。

【0006】リード待ちバッファ67は、以前にIAC41がTIU43~46から受けたDMAリードトランザクションまたはDMAライトトランザクションで、キャッシュにミスヒット(該当データなしの状態)し、IAC41がMPバス(IAC41と図示しないメインメモリとを接続するバス、以下同じ)にリードトランザクションを発行したが、まだ、メインメモリからデータレスポンスされていないトランザクションのアドレス、スプリットID、または、以前にIAC41がTIU43~46から受けたDMAリードトランザクションで、キャッシュにヒット(該当データあり)したが、まだTIU43~46に対してデータレスポンスが終わっていないトランザクションのアドレス、スプリットIDを2ライン分保持している。

【0007】レジスタ54内のアドレスとキャッシュ部56内のアドレスとの比較回路57における一致チェックの結果、一致した場合は、キャッシュ部56にデータレスポンスの対象となるデータが存在するので、TIU43に対してデータレスポンストランザクションを発行することが可能である。このため、リード待ちバッファ67は、各ラインにRESビットを有し、レジスタ54内のアドレスをリード待ちバッファ67に登録する際に、リード待ちバッファのRESビットをセットし、中間バス内部調停回路49にDMAデータレスポンストランザクションの内部要求を通知するように制御している。

【0008】また、レジスタ54内のアドレスとリード待ちバッファ67内のアドレスとの比較回路68における一致チェックの結果、一致した場合、そのアドレスに対するメモリリードトランザクションは、既にIAC41から上記MPバスへ発行されているので、再びMPバスへメモリリードトランザクションを発行する必要はない。そのため、リード待ちバッファ67は、各ラインにHITビットを有し、レジスタ54内のアドレスをリード待ちバッファ67に登録する際に、このHITビットをセットし、MPバスにリードトランザクションを発行しないように制御している。リード待ちバッファ67内のアドレスとレジスタ54内のアドレスとが一致しなかった場合は、このHITビットはセットしないで、MPバスへリードトランザクションを発行するように制御を行う。

【0009】次に、DMAデータレスポンストランザクションの場合について説明する。バスインタフェース制御装置は、メインメモリからのデータレスポンスが終了し、TIU43に対してDMAデータレスポンストランザクションが発行できる状態になると、リード待ちバッ

ファ67の対応するラインのRESビットをセットし、中間バス内部調停回路49にDMAデータレスポンストランザクションの内部要求を通知する(図8参照)。

【0010】通知を受けた中間バス内部調停回路49は、他の内部要求と共に調停を開始する。内部調停の結果、DMAデータレスポンストランザクションが選ばれたとすると、次に、中間バス調停回路50によって、レジスタ48内のTIU43~46の要求とDMAデータレスポンストランザクション要求の調停とを行う。調停の結果、DMAデータレスポンストランザクションが中間バス42を獲得した場合、スプリットID選択回路66は、リード待ちバッファ67内の当該DMAデータレスポンストランザクションの対象となっているラインのスプリットIDを選択する。

【0011】選択回路58は、スプリットID選択回路66の出力を選択し、レジスタ60に格納する。また、IOキャッシュ制御部61がキャッシュ部56へデータレスポンス指示を与える。指示を受けたキャッシュ部56は、データレスポンスの対象となっているデータをレジスタ71に格納し、レジスタ60内のスプリットIDと同時にそのデータを中間バス42に出力する。TIU43は、レジスタ62にそのスプリットIDを、レジスタ63にレスポンスデータを格納し、レジスタ62内のスプリットIDとスプリットテーブル65内のスプリットIDとの一致を比較回路69で行う(図9参照)。

【0012】スプリットテーブル65内には、以前にTIU43が発行したリードトランザクションに対してIAC41から出力されたスプリットIDが登録されていて、比較回路69による一致チェックの結果、一致した場合は、TIU43が発行したDMAリードトランザクションに対するデータレスポンストランザクションであると判断し、DMAリードデータレスポンス制御回路70がDMAリードレスポンスデータバッファ64にレジスタ63内のデータを取り込むように指示を出す。指示を受けたDMAリードレスポンスデータバッファ64は、DMAリードトランザクションのデータ長だけレジスタ63のデータを取り込み、DMAデータレスポンストランザクションを終了する。

【0013】

【発明が解決しようとする課題】上述のように、従来のスプリット可能なバスでは、リードトランザクションのキャッシュヒット/ミスヒットに拘わらずスプリットを実行し、リードトランザクションを終了していた。このようなスプリット方式を採用する装置において、キャッシュにヒットした場合、すぐにデータレスポンスを行うことが可能でありながら、1度バスを解放し、データレスポンストランザクションを再びバスの調停から行わなければならないので、図10から明らかなように、オーバーヘッドが生じ、効率が良くないという問題があった。本発明の課題は、かかる問題点を解消し、TIU43か

らのリードランザクション要求時のオーバーヘッドを抑制し、データレスポンスと中間バスの使用効率を向上させるバスインタフェース制御装置を提供することにある。

#### 【0014】

【課題を解決するための手段】本発明のバスインタフェース制御装置は、周辺制御装置である複数のPCUからメインメモリをアクセスするためのDMAランザクションにおいて、リードランザクション要求時のバスのオーバーヘッドを抑制するために、BIU (Bus Interface Unit)内のIACとTIUの構成を改良したものである。

【0015】具体的には、IACとPCUとのインターフェイスであるTIUと、前記IACと前記TIUとをスプリット方式で接続するバスとを備えたバスインターフェイス制御装置において、前記IACは、前記TIUがリードランザクション要求を発行したときに、該要求データが前記IACのキャッシュメモリに存在するか否かを判定し、存在する場合はスプリットしないスプリットIDを前記TIUに発行し、存在しない場合は、スプリットするスプリットIDを前記TIUに発行する第1の手段を有することを特徴としている。

【0016】この第1の手段は、例えば前記TIUからのリードランザクション要求のアドレスと、前記キャッシュメモリに格納されているデータのアドレスとの一致チェックを行う第1のチェック回路と、前記チェック結果に基づいて、スプリットするか否かのスプリットIDを選択し出力する選択回路と、を含んで成る。

【0017】また、前記TIUは、前記IACからのスプリットIDを受信したときは、該スプリットIDを判定し、スプリットしないスプリットIDであるときは前記バスを解放せずに後続のレスポンスデータを格納し、スプリットするスプリットIDであるときは前記バスを解放し、前記リードランザクション要求を終了する第2の手段を有することを特徴としている。

【0018】この第2の手段は、例えば、前記選択回路で選択され出力されたスプリットIDを受信し、スプリットするか否かを判定する判定回路と、前記判定回路でスプリットすると判定した場合に、前記発行したリードランザクション要求に対して出力されたスプリットIDを格納するスプリットテーブルと、前記スプリットテーブルに格納されているスプリットIDとデータレスポンスランザクションで受信したスプリットIDとの一致チェックを行う第2のチェック回路と、前記判定回路と第2のチェック回路の出力結果に基づいてデータレスポンスの制御を行う制御回路と、前記制御回路の指示に従いレスポンスされたデータを格納するバッファと、を含んで成る。

#### 【0019】

【発明の実施の形態】以下、図面を参照して本発明の実

施形態を詳細に説明する。図1は、本発明のバスインタフェース制御装置の一実施形態である、BIU100と、複数のPCU (Peripheral Control Unit) 400～403と、EPU (Execution Processing Unit) 200と、メインメモリ300との関係を示した全体構成図である。

【0020】EPU200、メインメモリ300、及びBIU100は、上記MPバスを介して接続され、各PCU400～403は、BIU100の構成要素であるTIU3～6を介してそれぞれ接続されている。このような構成のバスインタフェース制御装置の動作を、図2に示すIAC内部のDMAキャッシュヒットチェック制御部のブロック図、図3に示すTIU内部のDMAキャッシュヒットチェック制御部のブロック図、図4～図7のタイムチャートを参照して説明する。なお、説明の都合上、一つのTIU3に関わる処理を例に挙げて説明する。

【0021】図2及び図3は、共に、IAC1、TIU3～6が中間バス2に接続されている様子を示している。図3に示すレジスタ7は、TIU3の内部要求を格納するTIU内のレジスタであり、図2右下に示すレジスタ8は、TIU3が中間バス2に出力した要求を格納するIAC1内のレジスタである。図2において、中間バス内部調停回路9は、IAC1の内部要求を調停する回路であり、中間バス調停回路10は、中間バス内部調停回路9の出力（即ち、IAC1自身の要求）とレジスタ8に格納されたTIU3の要求を調停する回路である。図中右下に示すレジスタ11は、中間バス調停回路10の出力である調停結果を格納するレジスタである。

【0022】図3においてレジスタ12は、IAC1が出力した調停結果を格納するTIU内のレジスタであり、レジスタ13は、TIU3が中間バス2に出力するDMAランザクションのアドレスを格納するレジスタであり、図2左下に示すレジスタ14は、TIU3が中間バス2に出力したDMAランザクションのアドレスを格納するレジスタである。

【0023】図2のDMA有効チェック回路15は、レジスタ14内のアドレスが有効であるか否かをチェックする回路である。キャッシュ部16は、IOキャッシュメモリであり、アドレスとそのアドレスに対応するデータを保持するメモリである。比較回路17は、レジスタ14内のアドレスとキャッシュ内の全てのアドレスとの一致チェックを行う回路である。選択回路18は、選択回路32の出力とスプリットID選択回路26の出力を選択する回路である。スプリットID生成回路19は、DMA有効チェック回路15のチェックでTIU3から送出されたアドレスが有効であった場合、スプリットIDを生成する回路である。

【0024】図2のレジスタ20は、中間バス2に出力するスプリットIDを格納するレジスタである。図2左

上のIOキャッシュ制御部21は、比較回路17の一致チェックの結果や中間バス調整回路10の調停結果によりキャッシュ部16の制御を行う回路である。図3のレジスタ22は、IAC1が中間バス2に出力したスプリットIDを格納するレジスタであり、レジスタ23は、IAC1が中間バス2に出力したレスポンスデータを格納するレジスタである。

【0025】図3右中段のDMAリードレスポンスデータバッファ24は、DMAリードデータレスポンス制御回路30の指示により、レジスタ23内のデータを格納するバッファである。図3のスプリットテーブル25は、TIU3の発行したリードトランザクションに対してIAC1から出力されたスプリットIDを格納するデータバッファである。

【0026】図2右中段のスプリットID選択回路26は、リード待ちバッファ27内のスプリットID(“10Z”または“11Z”)を選択する回路である。リード待ちバッファ27は、以前にIAC1がTIU3から受けたDMAリードトランザクションまたはDMAライトトランザクションで、キャッシュにミスヒットし、IAC1がMPバスにリードトランザクションを発行したが、まだメインメモリからデータレスポンスされていないトランザクションのアドレス、スプリットIDを2ライン分保持するバッファである。

【0027】図2の比較回路28は、レジスタ14内のアドレスとリード待ちバッファ27内の全てのアドレスとの一致チェックを行う回路であり、図3の比較回路29は、レジスタ22内のスプリットIDとスプリットテーブル25内の全てのスプリットIDとの一致をチェックする回路である。図3のDMAリードデータレスポンス制御回路30は、比較回路29の一致チェックの結果やDMAリードキャッシュヒット判定回路33の判定結果により、TIU3が発行したDMAリードトランザクションに対するデータレスポンスの受信を制御する回路である。

【0028】図2下部中央のレジスタ31は、中間バス2に出力するデータを格納するレジスタであり、選択回路32は、スプリットID生成回路19で生成されたスプリットIDと、スプリットしないことを表すスプリットID“00Z”を比較回路17の一致チェックの結果により選択する回路である。図3のDMAリードキャッシュヒット判定回路33は、レジスタ22内のスプリットIDにより、TIU3が発行したDMAリードトランザクションがキャッシュにヒットしたか否かを判定する回路である。

【0029】TIU3からIAC1に対してDMAリードトランザクション要求を出し、これについてIAC1が許可し、アドレスを受け取り、DMA有効チェックとキャッシュヒットチェックを行うまでのタイミングを図4に示す。

【0030】また、図4において、DMAリードトランザクションがキャッシュヒットチェックでヒットした場合の動作の流れを図5、キャッシュヒットチェックでミスヒットした場合の動作の流れを図6にそれぞれ示す。さらに、図4において、DMAリードトランザクションがキャッシュヒットチェックでミスヒットし、IAC1がメモリからデータを受け取ってからTIU3にデータレスポンスを行うまでの動作の流れを図7に示す。

【0031】次に、TIU3からIAC1に対してDMAリードトランザクションが発行された場合の具体的な動作を説明する。TIU3がDMAリードトランザクション要求をレジスタ7に格納し、中間バス2に出力する。すると、IAC1は、中間バス支配下のTIU3からのDMAリードリクエストと、他の中間バス2の利用エージェント(TIU4~6)からのリクエストをレジスタ8に格納し、中間バス内部調停回路9で調停された内部要求と共に中間バス調停回路10で調停を行う。そして、調停の結果をレジスタ11に格納するとともに、中間バス2に出力する。TIU3は、出力された調停結果をレジスタ12に格納する。

【0032】調停の結果、TIU3のDMAリードリクエストが中間バス2を獲得した場合、TIU3は、レジスタ13に格納されているDMAリードトランザクションのアドレスを中間バス2に出力する。IAC1は、TIU3からのアドレスを受け取り、レジスタ14に格納する。そのアドレスをDMA有効チェック回路15でチェックし、有効であればキャッシュ部16内のアドレスと比較回路17で一致チェックを行う(図4参照)。

【0033】比較回路17での比較が一致した場合、このDMAリードトランザクションはキャッシュヒットしたと判断し、スプリットしないでデータレスポンスを実行する制御を行う。まず、選択回路32がスプリットしないことを表すスプリットID“00Z”を選択する。さらに、選択回路18が選択回路32の出力を選択し、選択回路18の出力は、レジスタ20に格納される。本実施形態では、IAC1には同時に2つのDMAトランザクションが存在することを許すため、スプリットIDは2ビットで構成され、“00Z”はキャッシュにヒットしてスプリットしないことを示し、“10Z”はキャッシュにミスヒットしてスプリットIDが“1”であること示している。

【0034】比較回路17の通知により、IOキャッシュ制御部21がキャッシュ部16へデータレスポンス指示を与える。指示を受けたキャッシュ部16は、データレスポンスの対象となっているデータをレジスタ31に格納し、レジスタ20内のスプリットIDと同時にレジスタ31内のデータを中間バス2に出力する。TIU3はレジスタ22にそのスプリットIDを、レジスタ23にレスポンスデータ(中間バス2はデータバスが64ビットのため、データ長が8バイトを越えるDMAリード

トランザクションでは、データの最初の8バイトを出力し、以降順次8バイトずつデータ転送を行う)を格納し、DMAリードキャッシュヒット判定回路33でスプリットID“00Z”を検出すると、連続してDMAリードデータが返ってくるので、DMAリードデータレスポンス制御回路30がDMAリードレスポンスデータバッファ24にレジスタ内のデータを取り込むように指示を出す。

【0035】指示を受けたDMAリードレスポンスデータバッファ24は、DMAリードトランザクションのデータ長だけレジスタ23のデータを取り込み、DMAリードトランザクションを終了する(図5参照)。

【0036】比較回路17での比較が一致しなかった場合は、DMAリードトランザクションはキャッシュにミスヒットしたと判断し、データレスポンスを行わずにスプリットしてトランザクションを終了する。即ち、レジスタ14のアドレスとリード待ちバッファ27内のアドレスとを比較回路28で一致チェックを行い、その比較結果とスプリットID生成回路19で生成されたスプリットID及び、レジスタ14内のアドレスをリード待ちバッファ27に登録する。スプリットID生成回路19で生成されたスプリットIDは選択回路32によって選択され、さらに選択回路18によって選択されて、レジスタ20に格納される。このとき、スプリットID生成回路19で生成されるスプリットIDは、前述の“10Z”もしくは“11Z”のいずれかである。IAC1は、このスプリットIDを中間バス2に出力する。TIU3は、レジスタ22にこのスプリットIDを格納し、DMAリードキャッシュヒット判定回路33で、TIU3が発行したDMAリードトランザクションに対して出力されたスプリットIDが“00Z”以外であることを検出すると、受信したスプリットIDをスプリットテーブル25に格納し、DMAリードトランザクションを終了する(図6参照)。

【0037】比較回路28での比較が一致した場合、そのアドレスに対するメモリリードトランザクションは、既にIAC1からMPバスへ発行されているので、再びMPバスへメモリリードトランザクションを発行する必要はない。そのためにリード待ちバッファは、各ラインにHITビットを有し、レジスタ14内のアドレスをリード待ちバッファ27に登録する際に、このHITビットをセットし、MPバスにリードトランザクションを発行しないように制御している。既にMPバスに発行されている同一アドレスのリードトランザクションに対するデータレスポンスがMPバスより返ってきて、そのレスポンスデータをキャッシュ部16のデータバッファにデータを格納すると、リード待ちバッファ27のHITビットをリセットし、2ライン両方のRESビットをセットする。

【0038】比較回路28での比較が一致しなかったと

きは、コンピュータのHITビットはセットしないで、MPバスへリードトランザクションを発行するように制御を行い、メインメモリからのデータレスポンスを受けた後、再びTIU3に対してDMAデータレスポンストランザクションを発行する。

【0039】リード待ちバッファ27が2ライン共にメインメモリからのデータレスポンスを待っている状態のとき、つまりリード待ちバッファ27がバッファフルのとき、新たなDMAトランザクションを受けられない。そのため、リード待ちバッファ27は各ラインに有効ビット(Vビット、以下同じ)を有し、メインメモリからのデータレスポンスが終了し、そのデータをキャッシュ部16のデータバッファに格納し、TIU3にデータレスポンスを終了するまで、Vビットをセットしたままである。リード待ちバッファ27の2ラインのVビットが共にセットされていてバッファフルとき、中間バス調停回路11は、中間バス配下のTIU3～6の要求を受け付けない。

【0040】次に、キャッシュにミスヒットし、スプリットして終了したDMAリードトランザクションに対するデータレスポンストランザクションについて説明する。メインメモリからのデータレスポンスを受けてTIU3に対してDMAデータレスポンストランザクションを発行することが可能な状態になると、リード待ちバッファ27の対応するラインのRESビットをセットし、中間バス内部調停回路9にDMAデータレスポンストランザクションの内部要求を通知する。中間バス内部調停回路9は、DMAデータレスポンストランザクションの内部要求を他の内部要求と共に調停する。内部調停の結果、DMAデータレスポンストランザクションが選ばれたとする。

【0041】中間バス調停回路10は、レジスタ8内のTIU3～6の要求とDMAデータレスポンストランザクション要求の調停を行う。調停の結果、DMAデータレスポンストランザクションが中間バス2を獲得した場合、スプリットID選択回路26は、リード待ちバッファ27内のコンピュータのDMAデータレスポンストランザクションの対象となっているラインのスプリットIDを選択する。さらに選択回路18は、スプリットID選択回路26の出力を選択し、選択回路18の出力はレジスタ20に格納される。また、IOキャッシュ制御部21はキャッシュ部16へデータレスポンス指示を与える。

【0042】指示を受けたキャッシュ部16は、データレスポンスの対象となっているデータをレジスタ31に格納し、レジスタ20内のスプリットIDと同時にレジスタ31内のデータを中間バス2に出力する。TIU3はレジスタ22にそのスプリットIDをレジスタ23にレスポンスデータを格納し、レジスタ22内のスプリットIDとスプリットテーブル25内のスプリットIDと

を比較回路29でチェックする。一致した場合は、T I U3が発行したDMAリードトランザクションに対するデータレスポンストランザクションであると判断し、DMAリードデータレスポンス制御回路30によりDMAリードレスポンスデータバッファ24にレジスタ23内のデータを取り込むように指示を出す。指示を受けたDMAリードレスポンスデータバッファ24は、DMAリードトランザクションのデータ長だけレジスタ23のデータを取り込み、DMAデータレスポンストランザクションを終了する(図7参照)。

【0043】以上のようにして、本発明のバスインタフェース制御装置は、T I U3からのリードトランザクション要求に対して、該当するデータがI A C1内のキャッシュメモリ上に存在しているかどうかによりスプリットするか否かを判断し、スプリットしない場合は中間バス2を解放せずにデータレスポンスを行う。これによりオーバーヘッドが抑制され、データレスポンスの速度をあげることができる。

【0044】

【発明の効果】以上の説明から明らかなように、本発明によれば、T I Uからのリードトランザクション要求時のオーバーヘッドが抑制され、データレスポンスと中間バスの使用効率が向上する効果がある。また、中間バスの使用効率を向上できるという、特有の効果もある。

【図面の簡単な説明】

【図1】本発明の一実施形態を表す全体構成図。

【図2】本実施形態によるI A Cの一部であるDMAキャッシュヒットチェック制御部ブロック図。

【図3】本実施形態によるT I Uの一部であるDMAキャッシュヒットチェック制御部ブロック図。

【図4】本実施形態による動作を説明するためのタイムチャート。

【図5】本実施形態による動作を説明するためのタイムチャート。

【図6】本実施形態による動作を説明するためのタイムチャート。

【図7】本実施形態による動作を説明するためのタイムチャート。

【図8】従来例のI A Cの一部であるDMAキャッシュヒットチェック制御部ブロック図。

【図9】従来例のT I Uの一部であるDMAキャッシュヒットチェック制御部ブロック図。

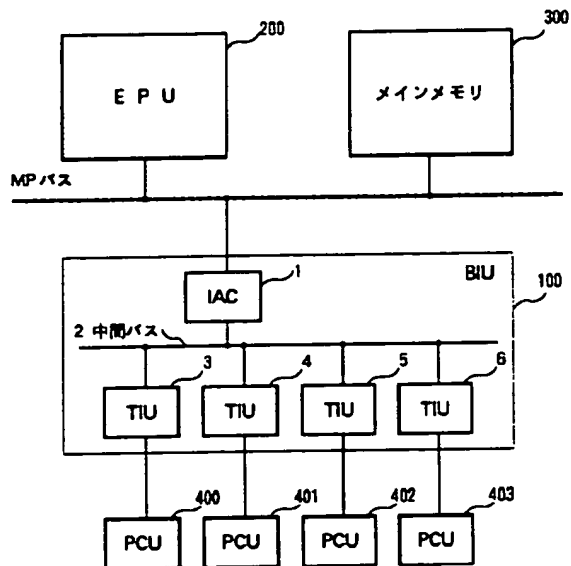
【図10】従来例の動作を説明するためのタイムチャート。

【符号の説明】

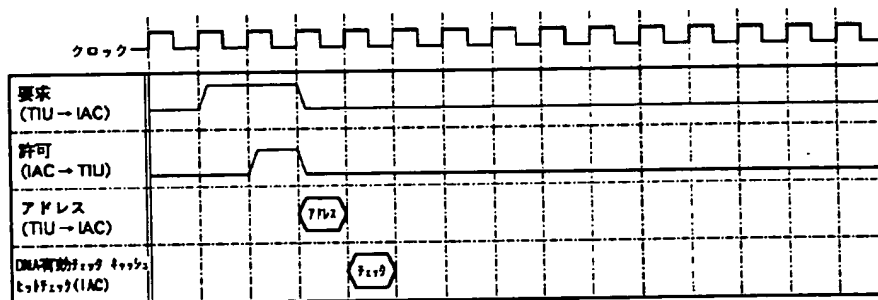
- 1, 41 I A C (Interface Address Controller)
- 2, 42 中間バス
- 3~6, 43~46 T I U (Triple Redundancy Interface Unit)
- 7, 47 要求を格納するT I U内のレジスタ
- 8, 48 T I Uからの要求を格納するI A C内のレジスタ
- 9, 49 中間バス内部調停回路
- 10, 50 中間バス調停回路
- 11, 51 中間バス調停回路の調停結果を格納するレジスタ
- 12, 52 I A Cが出力した調停結果を格納するT I U内のレジスタ
- 13, 53 T I U内のレジスタ
- 14, 54 I A C内のレジスタ
- 15, 55 DMA有効チェック回路
- 16, 56 キャッシュ部
- 17, 57 比較回路
- 18, 58 選択回路
- 19, 59 スプリットID生成回路
- 20, 60 スプリットIDを格納するI A C内のレジスタ
- 21, 61 I Oキャッシュ制御部
- 22, 62 スプリットIDを格納するT I U内のレジスタ
- 23, 63 レスポンスデータを格納するT I U内のレジスタ
- 24, 64 DMAリードレスポンスデータバッファ
- 25, 65 スプリットテーブル
- 26, 66 スプリットID選択回路
- 27, 67 リード待ちバッファ
- 28, 68 アドレスの一致チェックを行う比較回路
- 29, 69 スプリットIDの一致チェックを行う比較回路
- 30, 70 DMAリードデータレスポンス制御回路
- 31, 71 I Oキャッシュメモリ16からのデータを一時格納するレジスタ
- 32 スプリットIDを選択する選択回路
- 33 DMAリードキャッシュヒット判定回路
- 100 バスインターフェイス制御装置 (B I U : Bus Interface Unit)
- 200 演算処理装置 (E P U : Execution Processing Unit)
- 400~403 周辺制御装置 (P C U : Peripheral Control Unit)



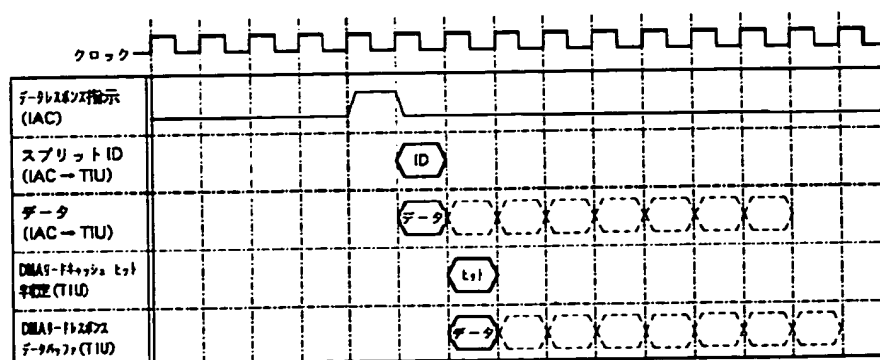
【図1】



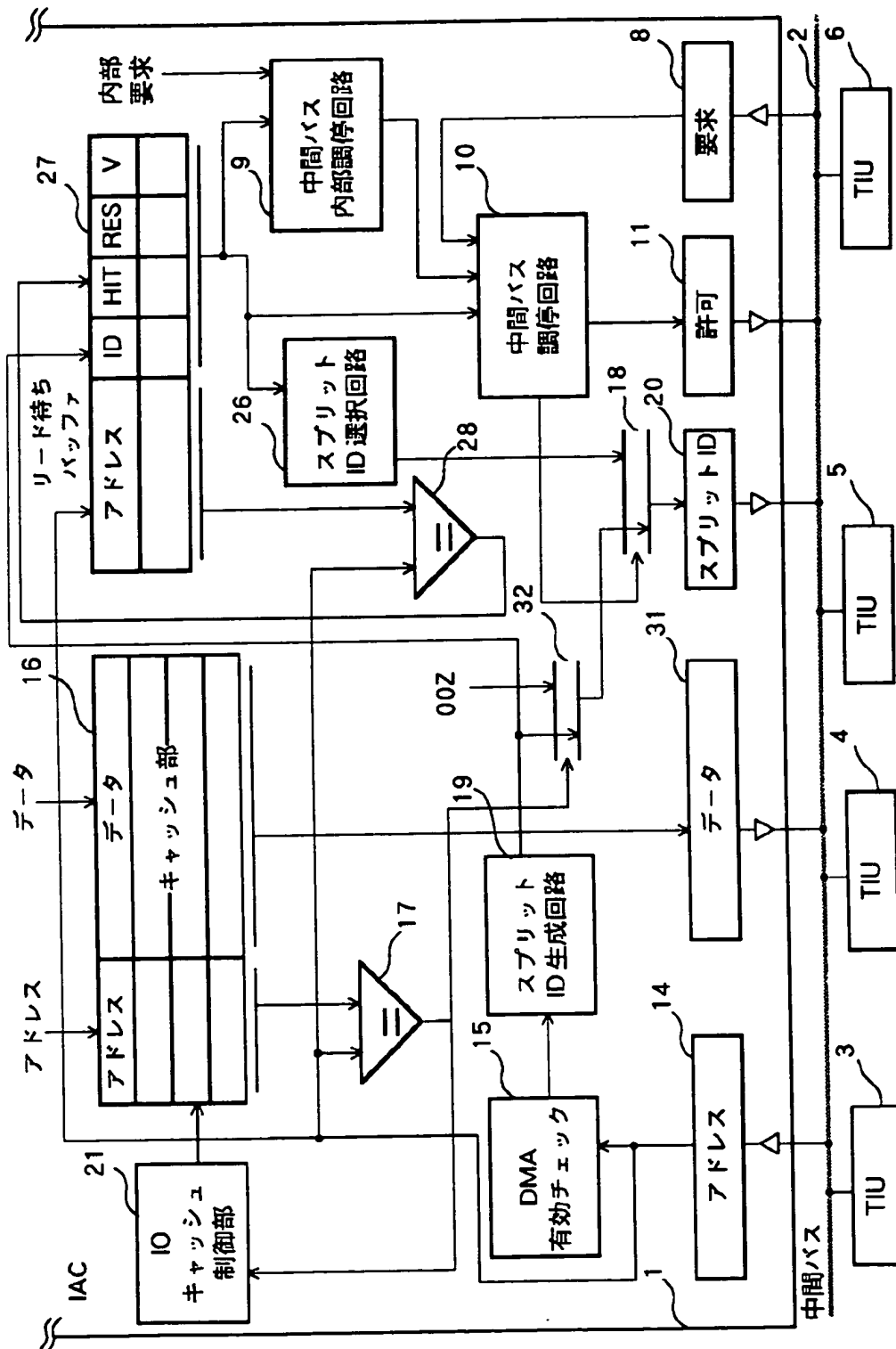
【図4】



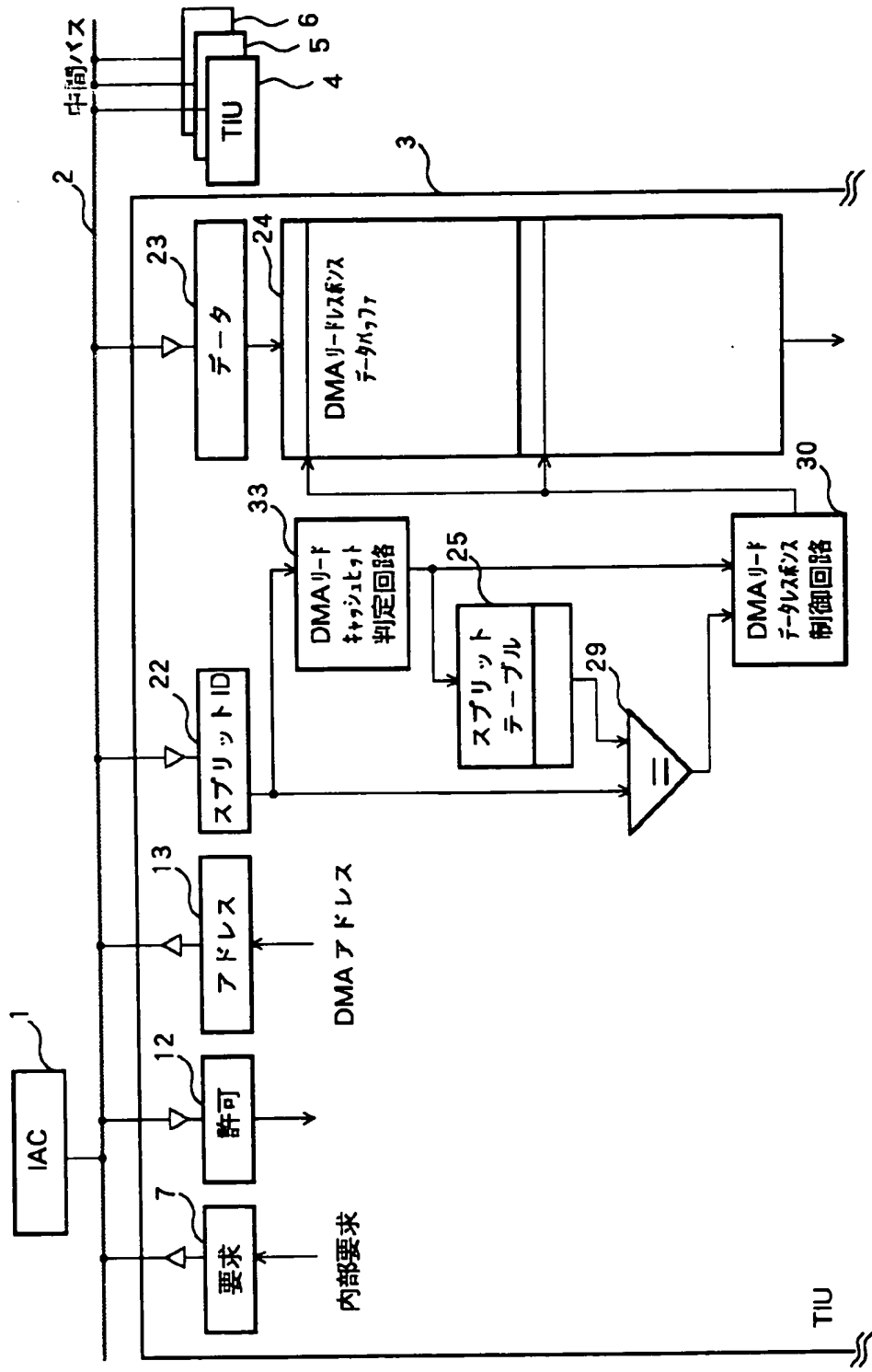
【図5】



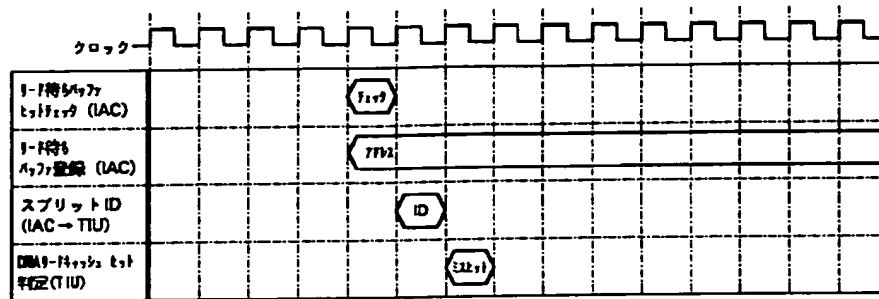
【図2】



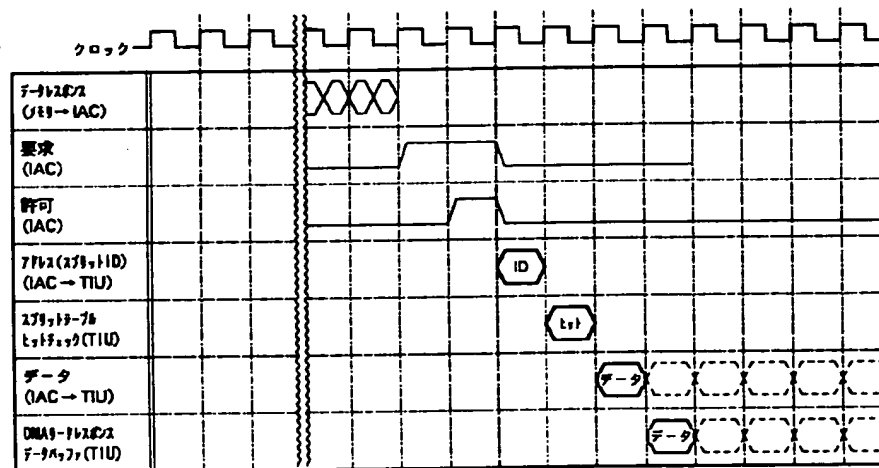
【図3】



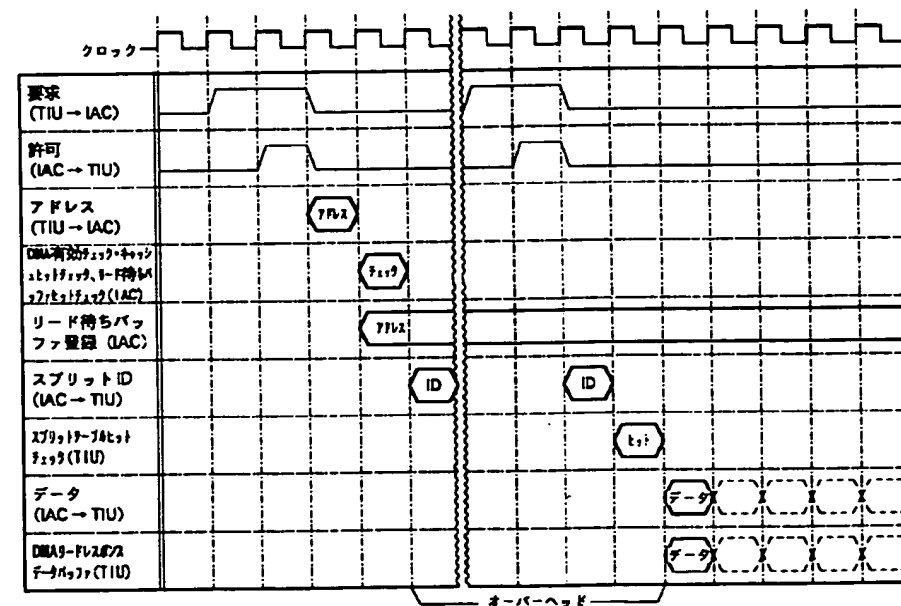
【図6】



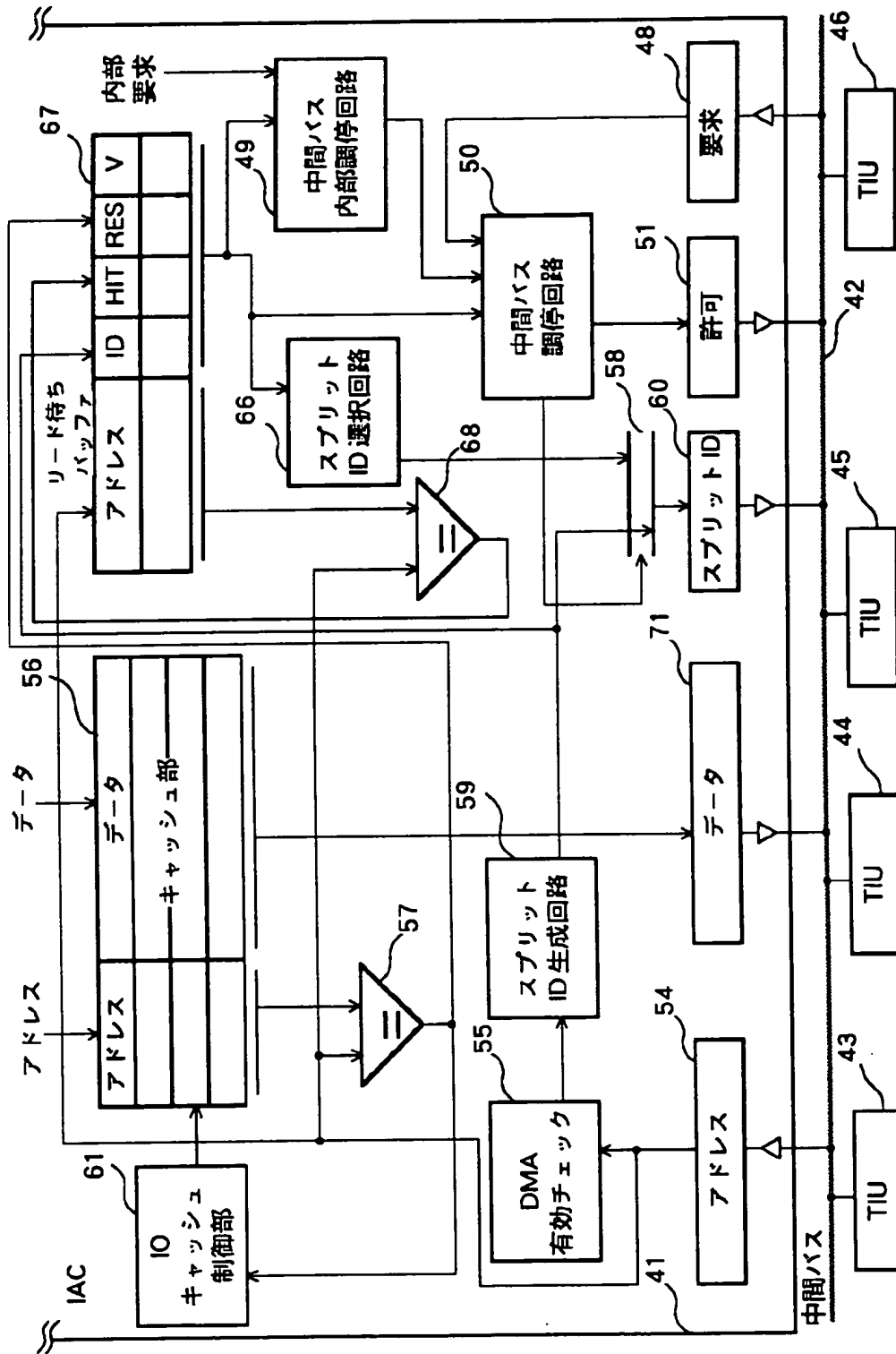
【図7】



【図10】



【図8】



【図9】

